

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-093066
(43) Date of publication of application : 10.04.1998

(51) Int.Cl.

H01L 27/146

H04N 5/335

(21) Application number : 08-245308
(22) Date of filing : 17.09.1996

(71) Applicant : TOSHIBA CORP
(72) Inventor : TANAKA NAGATAKA
YAMAGUCHI TETSUYA
IHARA HISANORI
IIDA YOSHINORI
NOZAKI HIDETOSHI
MABUCHI KEIJI
OSAWA SHINJI

(54) SOLID-STATE IMAGING DEVICE AND DRIVING METHOD THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state imaging device which can simplify a cell structure and have a large photodiode open area ratio by reducing the number of transistors used in the cells of the imaging device.

SOLUTION: A unit cell is made up of a photodiode 21, a read transistor 22, an amplifying transistor 23 and a reset transistor 24. A read transistor 26 connected to a source line 25 is connected to the amplifying transistor 23 through a signal line 27. A vertical register 27 has a read line 29 connected to a gate of the read transistor 22, a drain line 30 connected to drains of amplifying and reset transistors 23 and 24, and a reset address line 31 connected to a gate of the reset transistor 24. The signal line 27 is connected to a storage capacitor 34 through a sample/hold transistor 33. Signal charge causes a read pulse to be applied from a horizontal register 35 to the horizontal transistor 36 and then output to a signal output line 37.

LEGAL STATUS

[Date of request for examination] 07.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3579194

[Date of registration] 23.07.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

<hr size=2 width="100%" align=center>

CLAIMS

[Claim(s)]

[Claim 1] The image pick-up field which comes to arrange a unit cell with a photodiode, a reset transistor, a magnification transistor, and a signal-charge read-out transistor in the shape of matrix two-dimensional on a semi-conductor substrate at least, Two or more vertical signal lines arranged in the direction of a train which reads the detecting signal of a vertical selection means to choose the read-out line of this image pick-up field, and the above-mentioned photodiode equivalent to the selected line, Although the above-mentioned unit cell is chosen from this vertical signal line in the actuation approach of the solid state camera equipped with the level transistor which reads a detecting signal to the level signal line arranged at the line writing direction one by one The actuation approach of the solid state camera characterized by impressing an electrical potential difference from the exterior and carrying out by turning on a reset transistor and setting the above-mentioned magnification transistor as the operating point in all the cels of only a certain selected line.

[Claim 2] The actuation approach of the solid state camera according to claim 1 characterized by impressing an electrical potential difference from the exterior although the above-mentioned unit cell is un-chosen, and carrying out to it by turning on the above-mentioned reset transistor and changing into the condition of having turned off the above-mentioned magnification transistor, in all the cels of only a certain selected line.

[Claim 3] Two or more photo-electric-translation are recording sections arranged in the shape of matrix two-dimensional on the semi-conductor substrate, A vertical selection means to choose the read-out line of two or more above-mentioned photo-electric-translation are recording sections, and two or more vertical signal lines arranged in the direction of a train which reads the detecting signal of the selected photo-electric-translation are recording section, Two or more output circuits which output a detecting signal to the above-mentioned vertical signal line by considering as an input the detecting signal read from the above-mentioned photo-electric-translation are recording section, The read-out MOS form transistor which reads selectively the detecting signal from the above-mentioned photo-electric-translation are recording section to the above-mentioned output circuit, In the solid state camera equipped with the level selection means for reading a detecting signal from two or more above-mentioned vertical signal lines to the level signal line arranged at the line writing direction one by one the above-mentioned read-out transistor The solid state camera characterized by setting up more narrowly than the channel width by the side of the above-mentioned output circuit the channel width by the side of the above-mentioned photo-electric-translation are recording section.

[Claim 4] A photo-electric-translation means to perform photo electric translation, and a signal-charge are recording means to accumulate the signal charge by the above-mentioned photo electric translation, A blowdown means to reset the accumulated signal charge and to discharge, and the magnification transistor modulated by the signal charge which carried out [above-mentioned] are recording, The 1st wiring which constitutes the above-mentioned read-out means in a mold solid state camera equipped with the read-out means which reads the signal current from this magnification transistor, and the 2nd wiring which constitutes the above-mentioned blowdown means are a solid state camera characterized by piling up mutually and carrying out arrangement formation.

[Claim 5] The 1st above-mentioned wiring and the 2nd wiring are a solid state camera according to claim 4 characterized by the width of face of wiring wired in the upper part not being larger than the width of face of wiring wired by the lower part.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] While this invention relates to the solid state camera which used the magnification mold MOS sensor, especially simplifying a cel configuration, it is related with the solid state camera which can obtain high resolution, and its actuation approach.

[0002]

[Description of the Prior Art] The solid state camera which gave the magnification function to the interior of a pixel in modulating the potential of the signal-charge are recording section by the signal charge generated by photo electric translation, and modulating the magnification transistor inside a pixel with the potential in recent years is developed. This equipment is called a magnification mold solid state camera, and is expected as a solid state camera suitable for the cutback of the pixel size by the increment in the number of pixels, or the cutback of an image size.

[0003] Drawing 14 is drawing having shown the configuration of the conventional solid state camera. In drawing 14 , a unit cell consists of a photodiode 1, the read-out transistor 2, the magnification transistor 3, the reset transistor 4, and the address transistor 5, and the load transistor 7 connected to the source line 6 constitutes the magnification transistor 3 and the source follower circuit through a signal line 8. The magnification transistor 3 and the address transistor 5 are connected by the source

/ drain (S/D) section 9.

[0004] From the vertical register 10, the address line 11, a sense line 12, and drain wire 13** are wired, a sense line 12 is connected to the gate of an address transistor, and the gate of the read-out transistor 2 and a drain wire 13 are connected to the drain of the address transistor 5 and the reset transistor 4 for the address line 11. Moreover, a signal line 8 is connected with storage capacitance 16 through the sample / hold transistor 15 (SHT_r) to which the sample / hold line 14 was connected. A signal charge is outputted to the signal output line 19 by impressing a read pulse to the level transistor 18 from the level register 17.

[0005] Drawing 15 is a timing chart when driving the solid state camera of structure such conventionally. The inside of the level blanking HBLK is divided and explained to t1 -t11. First, the signal of the pixel train A by which current selection is made is read at the same time the pixel train B in front of one line is reset by making address-line 11' chosen into high (Hi) level (t2), setting sense-line 12' to Hi, and turning on the reset transistor 4 and the read-out transistor 2 (t3).

[0006] Then, (t7) and a signal are stored in storage capacitance 16 by the sample hold line 14 being turned on. And a signal is outputted to the signal output line 19 by impressing a read pulse to the level transistor 18 from the level register 17 during a signal shelf-life.

[0007] Drawing 16 is drawing having shown the cel section cross-section configuration which constituted the read-out transistor 7, the magnification transistor 3, and the address transistor 5 in one cross section. A charge is poured in from the source line 6, passes along the read-out transistor 7, a signal line 8, and the magnification transistor 3, and is further discharged through the S/D section 9 and the address transistor 5 to a drain wire 13. In addition, 20 is a substrate.

[0008]

[Problem(s) to be Solved by the Invention] Drawing 17 is the potential distribution map of the cross-section section of drawing 16, and (a) and (b) are drawings having shown the time of cel selection and un-choosing, respectively. As shown in drawing 17 (a), when the cel is chosen, a charge is poured in from the source line 6, passes along the read-out transistor 7, a signal line 8, and the magnification transistor 3, and is further discharged through the S/D section 9 and the address transistor 5 to a drain wire 13. Since a signal level is impressed to the magnification transistor 3 at this time, the output according to that electrical potential difference appears in a signal line 8.

[0009] On the other hand, although a charge is poured in from the source line 6 and even the read-out transistor 7 and a signal line 8 flow since the address transistor 5 is turned off when the cel is not chosen as shown in drawing 17 (b), it does not flow to a drain wire 13, but a signal line 8, the magnification transistor 3, and the S/D section 9 have become floating. For this reason, the potential of this part changes with the signal potentials of the cel as which others were chosen.

[0010] Thus, in the conventional cellular structure, since the address transistor was used, there was a problem that the large numerical aperture of a photodiode could not be taken. Therefore, this invention was made in view of the above-mentioned actual condition, reduces the transistor count used within a cel, simplifies a cel configuration, and aims at offering the solid state camera which can take the large numerical aperture of a photoelectrical converter.

[0011]

[Means for Solving the Problem] Namely, the image pick-up field where this invention comes to arrange a unit cell with a photodiode, a reset transistor, a magnification transistor, and a signal-charge read-out transistor in the shape of matrix two-dimensional on a semi-conductor substrate at least, Two or more vertical signal lines arranged in the direction of a train which reads the detecting signal of a vertical selection means to choose the read-out line of this image pick-up field, and the above-mentioned photodiode equivalent to the selected line, Although the above-mentioned unit cell is chosen from this vertical signal line in the actuation approach of the solid state camera equipped with the level transistor which reads a detecting signal to the level signal line arranged at the line writing direction one by one In all the cels of only a certain selected line, it is characterized by impressing an electrical potential difference from the exterior and carrying out by turning on a reset transistor and setting the above-mentioned magnification transistor as the operating point.

[0012] Moreover, two or more photo-electric-translation are recording sections by which this invention was arranged in the shape of matrix two-dimensional on the semi-conductor substrate, A vertical selection means to choose the read-out line of two or more above-mentioned photo-electric-translation are recording sections, and two or more vertical signal lines arranged in the direction of a train which reads the detecting signal of the selected photo-electric-translation are recording section, Two or more output circuits which output a detecting signal to the above-mentioned vertical signal line by considering as an input the detecting signal read from the above-mentioned photo-electric-translation are recording section, The read-out MOS form transistor which reads selectively the detecting signal from the above-mentioned photo-electric-translation are recording section to the above-mentioned output circuit, In the solid state camera equipped with the level selection means for reading a detecting signal from two or more above-mentioned vertical signal lines to the level signal line arranged at the line writing direction one by one the above-mentioned read-out transistor Channel width by the side of the above-mentioned photo-electric-translation are recording section is characterized by being set up more narrowly than the channel width by the side of the above-mentioned output circuit.

[0013] Furthermore, a photo-electric-translation means by which this invention performs photo electric translation and a signal-charge are recording means to accumulate the signal charge by the above-mentioned photo electric translation, A blowdown means to reset the accumulated signal charge and to discharge, and the magnification transistor modulated by the signal charge which carried out [above-mentioned] are recording, In a mold solid state camera equipped with the read-out means which reads the signal current from this magnification transistor, 1st wiring which constitutes the above-mentioned read-out means, and 2nd wiring which constitutes the above-mentioned blowdown means are characterized by piling up mutually and carrying out arrangement formation.

[0014] If it is in the actuation approach of the solid state camera this invention, selection of a cel and un-choosing are performed through a reset transistor. Moreover, according to this invention, since the channel width of a read-out transistor is larger than a photodiode side an amplifying-circuit side, as for the channel potential under the gate of a read-out transistor, the direction of an amplifying-circuit side becomes high as a result of the narrow channel effect. Therefore, since the signal charge which passes the channel of a read-out transistor moves also according to this potential difference, a read time becomes short rather than the case where it flows only by diffusion.

[0015] Furthermore, if it is in this invention, since it stops restricting the numerical aperture of a photodiode only by the wiring width of face of one duty among wiring for read-out of the signal current, and wiring for blowdown of a signal charge, it is possible to enlarge the numerical aperture of a photodiode conventionally. Moreover, in the same laminating mold image sensor, even if it makes a component detailed, a drain wire and a signal line can be wired.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of this invention is explained with reference to a drawing. Drawing 1 is drawing having shown the configuration of the solid state camera in the gestalt of implementation of the 1st of this invention.

[0017] In drawing 1 , the unit cell consists of the photodiode 21, the read-out transistor 22, the magnification transistor 23, and the reset transistor 24, and the read-out transistor 26 connected to the source line 25 constitutes the magnification transistor 23 and the source follower circuit through a signal line 27.

[0018] From the vertical register 28, a sense line 29, a drain wire 30, and the reset address line 31 are wired, a drain wire 30 is connected to the gate of the read-out transistor 22, and the drain of the magnification transistor 23 and the reset transistor 24 and the reset address line 31 are connected to the gate of the reset transistor 24 for the sense line 29. Moreover, a signal line 27 is connected with storage capacitance 34 through the sample / hold transistor 33 (SHT_r) connected to the sample / hold line 32. A signal charge is outputted to the signal output line 37 by impressing a read pulse to the level transistor 36 from the level register 35.

[0019] Next, with reference to the timing chart shown in drawing 2 , the actuation when driving the device in the gestalt of the 1st operation is explained. The inside of the level blanking HBLK is divided into t21-t31. First, drain wire 30' of the pixel train A to choose is set to Hi (t22), and reset address-line 31' is turned off after that (t23). And sense-line 29' is set to Hi (t24). At this time, the reset address line 31 is set to Hi, and, as for the pixel train B which is not chosen, the drain wire 30 is made into low (Low) level.

[0020] Then, (t26) and a signal are stored in storage capacitance 34 by a sample / hold line 32 being turned on. And a signal is outputted to the signal output line 37 by impressing a read pulse to the level transistor 36 from the level register 35 during a signal shelf-life.

[0021] Drawing 3 is drawing having shown the cel section cross-section configuration which constituted the read-out transistor 26 and the magnification transistor 23 in one cross section. A charge is poured in from the source line 25, passes along the read-out transistor 26, a signal line 27, and the magnification transistor 23, and is discharged to a drain wire 30.

[0022] Drawing 4 is the potential distribution map of the cross-section section of drawing 3 , and (a) and (b) are drawings having shown the time of cel selection and un-choosing, respectively. As shown in drawing 4 (a), when the cel is chosen, a charge is poured in from the source line 25 and discharged to a drain wire 30 through the read-out transistor 26, a signal line 27, and the magnification transistor 23. Since a signal level is impressed to the magnification transistor 23 at this time, the output according to that electrical potential difference appears in a signal line 27.

[0023] On the other hand, although a charge is poured in from the source line 25 and even the read-out transistor 26 and a signal line 27 flow since the magnification transistor 23 is turned off when the cel is not chosen as shown in drawing 4 (b), it does not flow to a drain wire 30, but the signal line 27 has become floating. For this reason, the potential of this part changes with the signal potentials of the cel as which others were chosen.

[0024] Thus, according to the gestalt of the 1st operation, since an address transistor becomes unnecessary in a cel, it becomes possible to take a large numerical aperture. The example of a pattern of a fundamental solid state camera is shown in drawing 5 here, and drawing 6 is circuitry drawing of the unit cell of the solid state camera shown in drawing 5 .

[0025] In drawing 6 , when a signal charge is read from a photodiode 40 to the gate of the magnification transistor 42 through the read-out transistor 41 and the vertical selection transistor 43 is chosen by the vertical selection signal Y, the amplified

signal is read. The signal charge read from the photodiode 40 is thrown away into a drain through the charge-and-discharge transistor 44, before the signal charge of the next field is read.

[0026] It is as follows when this is explained using the flat-surface pattern shown in drawing 5. That is, it connects with the gate of the vertical selection transistor 43, and the level address line 45 currently horizontally wired from the vertical shift register chooses the line which reads a signal. Similarly, the reset line 46 and sense line 47 which are horizontally wired from a vertical shift register are connected to the gate of the reset transistor 44, and the gate of the read-out transistor 41, respectively. The drain of the magnification transistor 42 is connected to the vertical signal line arranged perpendicularly through the contact 48 between layers.

[0027] ON of the read-out transistor 41 reads the signal charge accumulated in the above-mentioned photodiode 40 to a drain. Since this drain is electrically connected to the gate 50 of the magnification transistor 42 through the contact 49 between layers, the potential of the gate 50 changes. ON of the vertical selection transistor 43 reads the amplified signal to a vertical signal line through the contact 48 between layers.

[0028] Moreover, the signal charge which is modulating the gate of the magnification transistor 42 read from the photodiode 40 is thrown away into a drain through the charge-and-discharge transistor 44, before the signal charge of the next field is read. The drain of the charge-and-discharge transistor 44 is the drain of the magnification transistor of the adjoining unit cell in common, and is connected with the power-source line through the contact 51 between layers.

[0029] In addition, although only the pattern of a component formation field, gate polish recon, and contact between layers is shown by drawing 5 since it is easy, the 2nd layer polish recon and aluminum wiring also exist actually.

[0030] If the channel width of the read-out transistor 41 is seen at this time, also in the channel width by the side of a photodiode 40, the channel width by the side of a drain is also the same. Thus, it crosses [about the MOS form read-out transistor between a photodiode and an amplifying circuit / the channel potential of a read-out transistor / in the direction of a channel] in a fundamental solid state camera and was fixed. For this reason, the signal charge which runs in a channel moved only by diffusion, before read-out is completed, it will have required time amount, and it was set to one of the factors in which this bars many pixel-ization of a component. Then, in order to shorten the read time of the signal charge from the photodiode using a read-out transistor, it is possible about the channel width of a read-out transistor to make the amplifying-circuit side larger than a photodiode side.

[0031] Drawing 7 is the top view of the solid state camera concerning the gestalt of implementation of the 2nd of this invention. Since the block diagram of the unit cell of the solid state camera shown in this drawing 7 is the same as that of drawing 6, explanation is omitted here.

[0032] In drawing 7, it connects with the gate of the vertical selection transistor 43, and the level address line 45 currently horizontally wired from the vertical shift register chooses the line which reads a signal. Similarly, the reset line 46 and sense line 47 which are horizontally wired from a vertical shift register are connected to the gate of the reset transistor 44, and the gate of read-out transistor 41', respectively. The drain of the magnification transistor 42 is connected to the vertical signal line arranged perpendicularly through the contact 48 between layers.

[0033] ON of read-out transistor 41' reads the signal charge accumulated in the photodiode 40 to a drain. Since this drain is electrically connected to the gate 50 of the magnification transistor 42 through the contact 49 between layers, the potential of the gate 50 changes.

[0034] Moreover, ON of the vertical selection transistor 43 reads the amplified signal to a vertical signal line through the contact 49 between layers. The signal charge which is modulating the gate 50 of the magnification transistor 42 read from the photodiode 40 is thrown away into a drain through the charge-and-discharge transistor 44, before the signal charge of the next field is read.

[0035] The drain of the charge-and-discharge transistor 44 is the drain of the magnification transistor 42 of the adjoining unit cell in common, and is connected with the power-source line through the contact 51 between layers. In addition, although only the pattern of a component formation field, gate polish recon, and contact between layers is shown by drawing 7 since it is easy, the 2nd layer polish recon and aluminum wiring also exist actually.

[0036] If the channel width of read-out transistor 41' is seen at this time, the channel width by the side of a drain is widely formed rather than the channel width by the side of a photodiode 40.

[0037] Drawing 8 explains the effectiveness of the gestalt of the 2nd operation briefly, and the top view in which (a) shows the pattern of read-out transistor 41', the sectional view where (b) met the this (drawing a) I-I line, and (c) are drawings showing the channel potential.

[0038] In drawing 8 (a) and (b), the source and the 1st layer polish recon serve as [the photodiode 40] the gate electrode 53. The signal charge produced with the photodiode 40 is read to a drain 54 with ON of a transistor. In addition, 55 is contact which connects the drain of a read-out transistor, and wiring of the upper layer which is not illustrated, and, for 56, as for an N type impurity diffused layer and 58, a P type substrate and 57 are [gate oxide and 59] LOCOS fields.

[0039] In drawing 8 (c), in the lower part of the gate electrode 53, channel width is large as it goes in the direction of I[from I]'

(W1 < W2). So, channel potential becomes low according to the narrow channel effect (in drawing 8 (c), it becomes the upper part). Consequently, the signal charge which passes a channel will receive acceleration in the direction of a drain also according to a potential difference. Therefore, as compared with the conventional example which flows only by diffusion, it becomes possible to shorten a read time.

[0040] Thus, according to the gestalt of the 2nd operation, since the channel width of a read-out transistor is larger than a photodiode side an amplifying-circuit side, as for the channel potential under the gate of a read-out transistor, the direction of an amplifying-circuit side becomes high as a result of the narrow channel effect. Therefore, since the signal charge which passes the channel of a read-out transistor moves also according to this potential difference, a read time becomes short rather than the case where it flows only by diffusion.

[0041] By the way, in order to enlarge the numerical aperture of a photodiode, wiring of a signal line and a drain wire may be constituted in piles. That is, the basic configuration of the pixel in a magnification mold solid state camera is wiring which connects a photodiode, a reset transistor, a magnification transistor, a line selection transistor or capacity coupling, and a photodiode and the magnification transistor gate.

[0042] Moreover, in accumulating the signal charge which carried out photo electric translation temporarily, the storage diode was formed in a different field from a photodiode, and it has prepared the transfer gate between the photodiode and the storage diode.

[0043] Furthermore, the signal line for reading the signal amplified with the magnification transistor and the drain wire for resetting and discharging a signal charge are wired, respectively. Usually, the signal line and the drain wire are independently wired by two, respectively.

[0044] A component is made detailed, and in the solid state image pickup device of the structure which accumulated the photoelectrical converter in the upper part of a transistor, a signal line, and a drain wire, in order to obtain an electric flow with a pixel electrode and the are recording section, a metaled cap must be formed for the layer which forms a signal line, and the layer which forms a drain wire in the same layer. For this reason, when forming a signal line and a drain wire, there is constraint of making it not contact the above-mentioned metal cap and an electric target.

[0045] In such a magnification mold solid state camera, wiring of a signal line and a drain wire was wired independently. However, in performing detailed-ization of a component, with the structure which became independent about the above-mentioned wiring, wiring, a signal line and a drain wire, of two will restrict the numerical aperture of the photodiode section.

[0046] Moreover, with the image pick-up equipment of the structure which carried out the laminating of the photoelectrical converter to the topmost part, there is a problem that only the tooth space which wires independently is lost so that a signal line and a drain wire may not be lapped. That is, when forming a detailed component, it becomes impossible to wire without piling up a signal line and a drain wire.

[0047] For this reason, the gestalt of the operation described below explains the example which enlarged the numerical aperture of a photodiode by the configuration which piled up the signal line and the drain wire. Drawing 9 is drawing in which showing the gestalt of implementation of the 3rd of this invention, and having shown the arrangement configuration of wiring (drain wire) for discharging wiring (signal line) for reading the signal current amplified about 1 pixel of a magnification mold solid state image pickup device, and a signal charge. Moreover, drawing 10 is drawing having shown the hemihedry arrangement about wiring arrangement of the magnification mold solid state image pickup device of drawing 9. Furthermore, drawing 11 is the representative circuit schematic of this magnification mold solid state image pickup device.

[0048] It sets to this magnification mold solid state image pickup device, and is p+ to the surface layer of the p type silicon semi-conductor substrate 61. A layer (component isolation region) 62 and the p++ layer (photodiode) 63 are formed. A signal charge is generated in this photodiode 63. And after the contact hole for a photodiode 63 and electric contact is formed, it is formed so that a photodiode 63, the gate of the magnification transistor 64, and electric contact may be acquired. n layers are formed in the field in which the reset transistor 65 for discharging the magnification transistor 64 and a signal charge is formed at this time.

[0049] And the source and a drain are formed and the contact hole for having electric contact is formed. Then, in order to form the gate of a transistor, polish recon accumulates, and it is processed into a desired configuration, and the magnification transistor 64 and the reset transistor 65 are formed. Furthermore, in order to accumulate a signal charge, a capacitor 66 is formed of polish recon, and SiO₂ / SiN/SiO₂ (insulating layer).

[0050] Thus, the component part of a magnification mold solid state image pickup device is formed. Subsequently, after the component part of a magnification mold solid state camera is formed, the signal line 67 which is wiring for reading the signal current, and the drain wire 68 which is wiring for discharging a signal charge are wired. Since a drain wire 68 is formed at this time, an aluminum (aluminum) thin film is formed of sputtering. and patterning and RIE (reactive ion etching) -- of law etc., it is processed into a desired configuration and a drain wire 68 is formed.

[0051] Next, the laminating of the silicon oxide 69 is carried out. This silicon oxide 69 bears the role which protects a drain wire 68 as an insulating layer, and prevents electric contact into other parts. And since a signal line 67 is formed, aluminum thin film

accumulates by the sputtering method etc. Then, patterning of the resist is carried out so that it may lap with the drain wire 68 formed previously, and a signal line 67 is processed by the RIE method.

[0052] Thereby, as shown in drawing 10, it is formed so that a signal line 67 may lap with the upper part of a drain wire 68. In addition, 70 is the address line and 71 is a reset line.

[0053] Moreover, in case patterning of a resist is performed, it is also desirable to carry out patterning so that the width of face of a signal line 67 may become smaller than the width of face of a drain wire 68. In case this reason carries out patterning of the resist which has covered the signal line 67, it is because it can abolish originating in a doubling gap, and a signal line 67 producing a flash and a level difference on the outside of a drain wire 68, and waking up electric defective continuity.

[0054] Thus, as shown in drawing 9, wiring width of face which restricts the numerical aperture of a photodiode 63 can be made into the width of face of one duty by arranging in the structure of piling up two, wiring (signal line 67) for reading the signal current, and wiring (drain wire 68) for discharging a signal charge. Consequently, since the numerical aperture of a photodiode 68 can be raised, it can high-sensitivity-ize.

[0055] In addition, the metal alloy which was mentioned above and which contains metals, such as a tungsten (W), molybdenum (Mo), and titanium (Ti), or these at least one or more kinds of metals although aluminum (aluminum) is used as a wiring material with the gestalt of the 3rd operation, and the compound which makes a SHIRIZAIDO compound the start can also be used.

[0056] Next, the gestalt of implementation of the 4th of this invention is explained. Drawing 12 and drawing 13 are what showed the magnification mold solid state image pickup device of the structure which carried out the laminating of the photoelectrical converter, and drawing in which drawing 12 showed the arrangement configuration of the signal line about 1 pixel of a magnification mold solid state image pickup device and a drain wire, and drawing 13 are drawings having shown the hemihedry arrangement about wiring arrangement of the magnification mold solid state image pickup device of drawing 12.

[0057] It is first formed from a component part like the gestalt of the 3rd operation mentioned above. In addition, a charge can be accumulated in part also in the part used as the photoelectrical converter of the gestalt of the 3rd operation at this time.

[0058] And in order to carry a signal charge to the recording section 73, RIE etc. is used for an insulating layer 74, the public is formed, and the metaled column (plug) 75 is formed with Tungsten CVD etc. then, the sputtering method etc. -- aluminum (aluminum) film -- for example, 400nm is deposited and it is formed in a desired configuration of patterning of a resist, RIE, etc. Thereby, a drain wire 76 and the metal cap 77 are formed simultaneously.

[0059] Then, silicon oxide 74 accumulates, again, deposition of patterning of a resist, RIE, and a metal membrane etc. is repeated, and a signal line 79 and the metal cap 80 are formed on the metal plug 78. Since the metal cap 80 is formed in a signal line 79 and this layer at this time, it must be made for a signal line 79 and the metal cap 80 not to have to contact electrically. For this reason, between a signal line 79 and the metal cap 80, the danger of maintaining spacing of 0.6 micrometers or more and contacting electrically is avoided.

[0060] For this reason, as a signal line 79 does not lap on a drain wire 76, it cannot wire, so that drawing 12 may also show. That is, a signal line 79 and a drain wire 76 must be made into the piled-up structure.

[0061] After even a signal line is formed, silicon oxide 74 accumulates again, processing by RIE and deposition processing of a metal membrane are performed, and the metal plug 81 is formed. Then, for example, metals, such as Ti, accumulate, configuration processing by RIE etc. is performed, and the pixel electrode 82 is formed.

[0062] Finally, as a photo-electric-translation layer 83, for example, the amorphous silicon film accumulates and the transparent electrode 84 which consists of ITO(s) etc. accumulates on the photo-electric-translation layer 83 top, i.e., the topmost part.

[0063] In addition, 85 is a magnification transistor, 86 is the address line, and 87 is a reset line. Thus, according to the gestalt of the 4th operation, since the photoelectrical converter was arranged more nearly up than wiring of a signal line, a drain wire, etc., a numerical aperture is not restricted.

[0064]

[Effect of the Invention] As mentioned above, according to this invention, the transistor count used within a cel can be reduced, a cel configuration can be simplified, and the solid state camera which can take the large numerical aperture of a photoelectrical converter can be offered.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing having shown the configuration of the solid state camera in the gestalt of implementation of the 1st of this invention.

[Drawing 2] It is a timing chart explaining the actuation when driving the device in the gestalt of the 1st operation.

[Drawing 3] It is drawing having shown the cel section cross-section configuration which constituted the read-out transistor 26 and the magnification transistor 23 in one cross section.

[Drawing 4] In the potential distribution map of the cross-section section of drawing 3, (a) and (b) are drawings having shown the time of cel selection and un-choosing, respectively.

[Drawing 5] It is drawing having shown the example of a pattern of a fundamental solid state camera.

[Drawing 6] It is circuitry drawing of the unit cell of the solid state camera shown in drawing 5.

[Drawing 7] It is the top view of the solid state camera concerning the gestalt of implementation of the 2nd of this invention.

[Drawing 8] Explaining the effectiveness of the gestalt of the 2nd operation briefly, the top view in which (a) shows the pattern of read-out transistor 41', the sectional view where (b) met the this (drawing a) I-I line, and (c) are drawings showing the channel potential.

[Drawing 9] It is drawing in which showing the gestalt of implementation of the 3rd of this invention, and having shown the arrangement configuration of wiring (drain wire) for discharging wiring (signal line) for reading the signal current amplified about 1 pixel of a magnification mold solid state image pickup device, and a signal charge.

[Drawing 10] It is drawing having shown the hemihedry arrangement about wiring arrangement of the magnification mold solid state image pickup device of drawing 9.

[Drawing 11] It is the representative circuit schematic of this magnification mold solid state image pickup device.

[Drawing 12] It is drawing having shown the arrangement configuration of the signal line about 1 pixel of the magnification mold solid state image pickup device of structure, and a drain wire which carried out the laminating of the photoelectrical converter.

[Drawing 13] It is what showed the magnification mold solid state image pickup device of the structure which carried out the laminating of the photoelectrical converter, and is drawing having shown the hemihedry arrangement about wiring arrangement of the magnification mold solid state image pickup device of drawing 12.

[Drawing 14] It is drawing having shown the configuration of the conventional solid state camera.

[Drawing 15] It is a timing chart when driving the solid state camera of structure conventionally.

[Drawing 16] It is drawing having shown the cel section cross-section configuration which constituted the read-out transistor 7, the magnification transistor 3, and the address transistor 5 in one cross section.

[Drawing 17] In the potential distribution map of the cross-section section of drawing 16, (a) and (b) are drawings having shown the time of cel selection and un-choosing, respectively.

[Description of Notations]

21 40 Photodiode,

22 Read-out Transistor,

23 42 Magnification transistor,

24 Reset Transistor,

25 Source Line,

26, 41, 41' Read-out transistor,

27 Signal Line,

28 Vertical Register,

29 47 Sense line

30 Drain Wire,

31 Reset Address Line,

32 Sample / Hold Line,

33 Sample / Hold Transistor,

34 Storage Capacitance,

35 Level Register,

36 Level Transistor,

37 Signal Output Line,

43 Vertical Selection Transistor,

44 Charge-and-Discharge Transistor,

45 Level Address Line,

46 Reset Line,

48, 49, 51 Contact between layers,

50 Gate.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-93066

(43)公開日 平成10年(1998)4月10日

(51)Int.Cl.⁶

H 01 L 27/146

H 04 N 5/335

識別記号

F I

H 01 L 27/14

A

H 04 N 5/335

E

審査請求 未請求 請求項の数5 O L (全 11 頁)

(21)出願番号 特願平8-245308

(22)出願日 平成8年(1996)9月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田中 長孝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 山口 鉄也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 井原 久典

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦 (外6名)

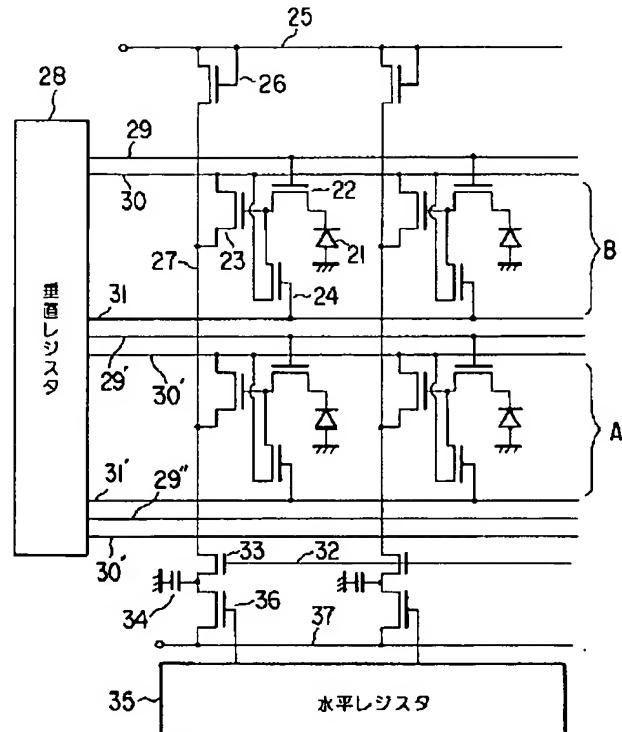
最終頁に続く

(54)【発明の名称】 固体撮像装置及びその駆動方法

(57)【要約】

【課題】 固体撮像装置のセル内で使用するトランジスタ数を減らしてセル構成を簡単化し、フォトダイオードの開口率を大きく取ること。

【解決手段】 フォトダイオード21、読出しトランジスタ22、増幅トランジスタ23、リセットトランジスタ24で単位セルを構成し、ソース線25に接続した読出しトランジスタ26を、信号線27を介して増幅トランジスタ23と接続する。垂直レジスタ28は、読出しトランジスタ22のゲートに接続した読出し線29と、増幅トランジスタ23とリセットトランジスタ24のドレインに接続したドレイン線30と、リセットトランジスタ24のゲートに接続したリセットアドレス線31を接続する。信号線27は、サンプル／ホールドトランジスタ33を介して、蓄積容量34と接続する。信号電荷は、水平レジスタ35から水平トランジスタ36に読出しパルスを印加して、信号出力線37へ出力する。



【特許請求の範囲】

【請求項1】 半導体基板上に少なくともフォトダイオード、リセットトランジスタ、増幅トランジスタ、信号電荷読出しトランジスタを有した単位セルを行列2次元状に配置してなる撮像領域と、この撮像領域の読出し行を選択する垂直選択手段と、選択された行に相当する上記フォトダイオードの検出信号を読出す列方向に配置された複数の垂直信号線と、該垂直信号線から行方向に配置された水平信号線に検出信号を順次読出す水平トランジスタを備えた固体撮像装置の駆動方法に於いて、上記単位セルを選択するのに、ある選択された行のみの全セルに於いて、リセットトランジスタをオンして外部より電圧を印加し、上記増幅トランジスタを動作点に設定して行うことを特徴とする固体撮像装置の駆動方法。

【請求項2】 上記単位セルを非選択するのに、ある選択された行のみの全セルに於いて、上記リセットトランジスタをオンして外部より電圧を印加し、上記増幅トランジスタをオフした状態にして行うことを特徴とする請求項1に記載の固体撮像装置の駆動方法。

【請求項3】 半導体基板上に行列2次元状に配列された複数の光電変換蓄積部と、上記複数の光電変換蓄積部の読出し行を選択する垂直選択手段と、選択された光電変換蓄積部の検出信号を読出す列方向に配置された複数の垂直信号線と、上記光電変換蓄積部から読出された検出信号を入力として上記垂直信号線に検出信号を出力する複数の出力回路と、上記光電変換蓄積部からの検出信号を上記出力回路に選択的に読出す読出しMOS形トランジスタと、上記複数の垂直信号線から行方向に配置された水平信号線に検出信号を順次読出すための水平選択手段とを備えた固体撮像装置に於いて、

上記読出しトランジスタは、上記光電変換蓄積部側のチャネル幅が上記出力回路側のチャネル幅よりも狭く設定されていることを特徴とする固体撮像装置。

【請求項4】 光電変換を行う光電変換手段と、上記光電変換による信号電荷を蓄積する信号電荷蓄積手段と、蓄積された信号電荷をリセット、排出する排出手段と、上記蓄積した信号電荷により変調される増幅トランジスタと、該増幅トランジスタからの信号電流を読出す読出し手段を備える型固体撮像装置に於いて、

上記読出し手段を構成する第1の配線と上記排出手段を構成する第2の配線は、互いに重ねられて配置形成されていることを特徴とする固体撮像装置。

【請求項5】 上記第1の配線及び第2の配線は、上部に配線された配線の幅が下部に配線された配線の幅よりも大きくなることを特徴とする請求項4に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は増幅型MOSセンサを用いた固体撮像装置に係り、特にセンサ構成を簡便に

すると共に、高解像度を得ることが可能な固体撮像装置及びその駆動方法に関するものである。

【0002】

【従来の技術】 近年、光電変換により発生した信号電荷で信号電荷蓄積部の電位を変調し、その電位により画素内部の増幅トランジスタを変調することで画素内部に増幅機能を持たせた固体撮像装置が開発されている。この装置は、増幅型固体撮像装置と称されるもので、画素数の増加やイメージサイズの縮小による画素サイズの縮小に適した固体撮像装置として期待されている。

【0003】 図14は、従来の固体撮像装置の構成を示した図である。図14に於いて、単位セルはフォトダイオード1、読出しトランジスタ2、増幅トランジスタ3、リセットトランジスタ4、アドレストランジスタ5から成り、ソース線6に接続されたロードトランジスタ7は信号線8を通じて増幅トランジスタ3とソースフォロワ回路を構成している。増幅トランジスタ3とアドレストランジスタ5は、ソース／ドレイン（S/D）部9により接続されている。

【0004】 垂直レジスタ10からは、アドレス線11、読出し線12、ドレイン線13、が配線されており、アドレス線11はアドレストランジスタのゲートに、読出し線12は読出しトランジスタ2のゲートに、そしてドレイン線13はアドレストランジスタ5とリセットトランジスタ4のドレインに接続されている。また、信号線8は、サンプル／ホールド線14が接続されたサンプル／ホールドトランジスタ（SHTr）15を介して、蓄積容量16と接続される。信号電荷は、水平レジスタ17より水平トランジスタ18に読出しパルスを印加することにより、信号出力線19へと出力される。

【0005】 図15は、このような従来構造の固体撮像装置を駆動するときのタイミングチャートである。水平ブランディングHBLK内をt₁～t₁₁に分割して説明する。先ず、選択されるアドレス線11'がハイ（Hi）レベルにされて（t₂）、読出し線12'がHiにされてリセットトランジスタ4と読出しトランジスタ2がオンされることにより、1ライン前の画素列Bがリセットされると同時に、現在選択されている画素列Aの信号が読出される（t₃）。

【0006】 その後、サンプルホールド線14がオンされることで（t₇）、信号が蓄積容量16に蓄えられる。そして、信号有効期間中に水平レジスタ17より水平トランジスタ18に読出しパルスが印加されることにより、信号が信号出力線19に出力される。

【0007】 図16は、読出しトランジスタ7、増幅トランジスタ3、アドレストランジスタ5を1断面に構成したセル部断面形状を示した図である。電荷はソース線6から注入され、読出しトランジスタ7、信号線8、増幅トランジスタ3を通り、更にS/N部のアドレフト

ランジスタ5を通じてドレイン線13へと排出される。尚、20は基板である。

【0008】

【発明が解決しようとする課題】図17は、図16の断面部の電位分布図で、(a)及び(b)はそれぞれセル選択時及び非選択時について示した図である。図17(a)に示されるように、セルが選択されているときは、電荷はソース線6から注入され、読出しトランジスタ7、信号線8、増幅トランジスタ3を通り、更にS/D部9、アドレストランジスタ5を通じてドレイン線13へと排出される。このとき、増幅トランジスタ3には信号電圧が印加されるので、信号線8には、その電圧に応じた出力が出る。

【0009】一方、図17(b)に示されるように、セルが選択されていないときには、アドレストランジスタ5がオフされているので、電荷はソース線6から注入され、読出しトランジスタ7、信号線8まで流れるが、ドレイン線13には流れず、信号線8、増幅トランジスタ3、S/D部9はフローティングになっている。このため、この部分の電位は、他の選択されたセルの信号電位により変化する。

【0010】このように、従来のセル構造ではアドレストランジスタを使用していたために、フォトダイオードの開口率を大きく取れないという問題があった。したがってこの発明は上記実状に鑑みてなされたもので、セル内で使用するトランジスタ数を減らしてセル構成を簡素化し、光電変換部の開口率を大きく取ることのできる固体撮像装置を提供することを目的とする。

【0011】

【課題を解決するための手段】すなわちこの発明は、半導体基板上に少なくともフォトダイオード、リセットトランジスタ、増幅トランジスタ、信号電荷読出しトランジスタを有した単位セルを行列2次元状に配置してなる撮像領域と、この撮像領域の読出し行を選択する垂直選択手段と、選択された行に相当する上記フォトダイオードの検出信号を読出す列方向に配置された複数の垂直信号線と、該垂直信号線から行方向に配置された水平信号線に検出信号を順次読出す水平トランジスタを備えた固体撮像装置の駆動方法に於いて、上記単位セルを選択するのに、ある選択された行のみの全セルに於いて、リセットトランジスタをオンして外部より電圧を印加し、上記増幅トランジスタを動作点に設定して行うことを特徴とする。

【0012】またこの発明は、半導体基板上に行列2次元状に配列された複数の光電変換蓄積部と、上記複数の光電変換蓄積部の読出し行を選択する垂直選択手段と、選択された光電変換蓄積部の検出信号を読出す列方向に配置された複数の垂直信号線と、上記光電変換蓄積部から読出された検出信号を入力として上記垂直信号線に検出信号を出力する複数の出力回路と、上記光電変換蓄積

部からの検出信号を上記出力回路に選択的に読出す読出しMOS形トランジスタと、上記複数の垂直信号線から行方向に配置された水平信号線に検出信号を順次読出すための水平選択手段とを備えた固体撮像装置に於いて、上記読出しトランジスタは、上記光電変換蓄積部側のチャネル幅が上記出力回路側のチャネル幅よりも狭く設定されていることを特徴とする。

【0013】更にこの発明は、光電変換を行う光電変換手段と、上記光電変換による信号電荷を蓄積する信号電荷蓄積手段と、蓄積された信号電荷をリセット、排出する排出手段と、上記蓄積した信号電荷により変調される増幅トランジスタと、該増幅トランジスタからの信号電流を読出す読出し手段を備える型固体撮像装置に於いて、上記読出し手段を構成する第1の配線と上記排出手段を構成する第2の配線は、互いに重ねられて配置形成されていることを特徴とする。

【0014】この発明の固体撮像装置の駆動方法にあっては、セルの選択、非選択がリセットトランジスタをして行われる。また、この発明によれば、読出しトランジスタのチャネル幅が、フォトダイオード側よりも増幅回路側の方が大きいので、ナローチャネル効果の結果、読出しトランジスタのゲート下のチャネルポテンシャルは増幅回路側の方が高くなる。したがって、読出しトランジスタのチャネルを通過する信号電荷は、このポテンシャル差によっても移動するので、拡散のみによって流れる場合よりも読出し時間が短くなる。

【0015】更にこの発明にあっては、信号電流の読出し用の配線と信号電荷の排出用の配線のうち、1本分の配線幅でしかフォトダイオードの開口率を制限しなくなるので、従来よりもフォトダイオードの開口率を大きくすることが可能である。また、同様の積層型撮像素子においては、素子を微細化しても、ドレイン線と信号線を配線できるようになる。

【0016】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1は、この発明の第1の実施の形態に於ける固体撮像装置の構成を示した図である。

【0017】図1に於いて、単位セルは、フォトダイオード21、読出しトランジスタ22、増幅トランジスタ23、リセットトランジスタ24から成っており、ソース線25に接続された読出しトランジスタ26は、信号線27を通じて増幅トランジスタ23とソースフォロワ回路を構成している。

【0018】垂直レジスタ28からは、読出し線29、ドレイン線30、リセットアドレス線31が配線されており、読出し線29は読出しトランジスタ22のゲートに、ドレイン線30は増幅トランジスタ23とリセットトランジスタ24のドレインに、そしてリセットアドレス線31はリセットトランジスタ24のゲートに接続されている。また、信号線27は、サンプル／ホールド線

32に接続されたサンプル／ホールドトランジスタ（SHTr）33を介して、蓄積容量34と接続される。信号電荷は、水平レジスタ35より水平トランジスタ36に読み出しパルスが印加されることにより、信号出力線37へと出力される。

【0019】次に、図2に示されるタイミングチャートを参照して、第1の実施の形態に於けるデバイスを駆動するときの動作を説明する。水平ブランギングHBLK内をt21～t31に分割する。先ず、選択する画素列Aのドレイン線30'がHiにされ（t22）、その後リセットアドレス線31'がオフされる（t23）。そして、読み出し線29'がHiにされる（t24）。このとき、選択されていない画素列Bは、リセットアドレス線31がHiにされてドレイン線30がロー（Low）レベルにされている。

【0020】その後、サンプル／ホールド線32がオンされることで（t26）、信号が蓄積容量34に蓄えられる。そして、信号有効期間中に水平レジスタ35から水平トランジスタ36に読み出しパルスが印加されることにより、信号が信号出力線37へと出力される。

【0021】図3は、読み出しトランジスタ26、増幅トランジスタ23を1断面に構成したセル部断面形状を示した図である。電荷は、ソース線25より注入され、読み出しトランジスタ26、信号線27、増幅トランジスタ23を通り、ドレイン線30へと排出される。

【0022】図4は、図3の断面部の電位分布図で、（a）及び（b）はそれぞれセル選択時及び非選択時について示した図である。図4（a）に示されるように、セルが選択されているときは、電荷はソース線25より注入され、読み出しトランジスタ26、信号線27、増幅トランジスタ23を通ってドレイン線30へと排出される。このとき、増幅トランジスタ23には信号電圧が印加されるので、信号線27には、その電圧に応じた出力が出る。

【0023】一方、図4（b）に示されるように、セルが選択されていないときには、増幅トランジスタ23がオフされているので、電荷はソース線25より注入され、読み出しトランジスタ26、信号線27まで流れが、ドレイン線30には流れず、信号線27はフローティングになっている。このため、この部分の電位は、他の選択されたセルの信号電位により変化する。

【0024】このように、第1の実施の形態によれば、セル内にアドレストランジスタが不要になるので、開口率を大きく取ることが可能になる。ここで、基本的な固体撮像装置のパターン例を図5に示す、また、図6は、図5に示された固体撮像装置の単位セルの回路構成図である。

【0025】図6に於いて、信号電荷は、フォトダイオード40から読み出しトランジスタ41を経て増幅トランジスタ42のゲートに読み出され、垂直選択信号V1に上へ

て垂直選択トランジスタ43が選択されたとき、増幅された信号が読み出される。フォトダイオード40から読み出された信号電荷は、次のフィールドの信号電荷が読み出される前に、充放電トランジスタ44を経てドレインに捨てられる。

【0026】このこととを、図5に示される平面パターンを用いて説明すると以下のようになる。すなわち、垂直シフトレジスタから水平方向に配線されている水平アドレス線45は、垂直選択トランジスタ43のゲートに接続され、信号を読み出すラインを選択する。同様に、垂直シフトレジスタから水平方向に配線されるリセット線46、読み出し線47は、それぞれリセットトランジスタ44のゲート、読み出しトランジスタ41のゲートに接続されている。増幅トランジスタ42のドレインは、垂直方向に配置された垂直信号線に層間コンタクト48を経て接続されている。

【0027】上記フォトダイオード40に蓄積された信号電荷は、読み出しトランジスタ41がオンされるとドレインに読み出される。このドレインは、層間コンタクト49を経て増幅トランジスタ42のゲート50に電気的に接続されているので、ゲート50の電位が変化する。垂直選択トランジスタ43がオンされると、増幅された信号は層間コンタクト48を経て、垂直信号線に読み出される。

【0028】また、フォトダイオード40から読み出された増幅トランジスタ42のゲートを変調している信号電荷は、次のフィールドの信号電荷が読み出される前に、充放電トランジスタ44を経てドレインに捨てられる。充放電トランジスタ44のドレインは、隣接する単位セルの増幅トランジスタのドレインと共に通しており、層間コンタクト51を経て電源線に繋がっている。

【0029】尚、図5では簡単のために、素子形成領域とゲートポリシリコンと層間コンタクトのパターンのみを示しているが、実際には第2層ポリシリコンやアルミニ配線も存在している。

【0030】このとき、読み出しトランジスタ41のチャネル幅を見ると、フォトダイオード40側のチャネル幅もドレイン側のチャネル幅も同じになっている。このように、基本的な固体撮像装置では、フォトダイオードと増幅回路の間のMOS形読み出しトランジスタに関して、読み出しトランジスタのチャネルポテンシャルがチャネル方向に渡って一定であった。このため、チャネル内を走行する信号電荷は拡散のみで移動し、読みしが終了するまでに時間がかかっており、これが素子の多画素化を妨げる要因の1つとなっていた。そこで、読み出しトランジスタを用いたフォトダイオードからの信号電荷の読み出しひまを短くするために、読み出しトランジスタのチャネル幅について、フォトダイオード側よりも増幅回路側の方を大きくすることが考えられる。

【0031】図7は、この登録の第2の実施の形態に係

る固体撮像装置の平面図である。この図7に示される固体撮像装置の単位セルの構成図は図6と同様であるので、ここでは説明を省略する。

【0032】図7に於いて、垂直シフトレジスタから水平方向に配線されている水平アドレス線45は、垂直選択トランジスタ43のゲートに接続され、信号を読出するラインを選択する。同様に、垂直シフトレジスタから水平方向に配線されるリセット線46、読出し線47は、それぞれリセットトランジスタ44のゲート、読出しトランジスタ41'のゲートに接続されている。増幅トランジスタ42のドレインは、垂直方向に配置された垂直信号線に層間コンタクト48を経て接続されている。

【0033】フォトダイオード40に蓄積された信号電荷は、読出しトランジスタ41'がオンされるとドレインに読出される。このドレインは、層間コンタクト49を経て増幅トランジスタ42のゲート50に電気的に接続されているので、ゲート50の電位が変化する。

【0034】また、垂直選択トランジスタ43がオンされると、増幅された信号は層間コンタクト49を経て垂直信号線に読出される。フォトダイオード40から読出された増幅トランジスタ42のゲート50を変調している信号電荷は、次のフィールドの信号電荷が読出される前に、充放電トランジスタ44を経てドレインに捨てられる。

【0035】充放電トランジスタ44のドレインは、隣接する単位セルの増幅トランジスタ42のドレインと共通になっており、層間コンタクト51を経て電源線に繋がっている。尚、図7では簡単のために、素子形成領域とゲートポリシリコンと層間コンタクトのパターンのみを示しているが、実際には第2層ポリシリコンやアルミ配線も存在している。

【0036】このとき、読出しトランジスタ41'のチャネル幅を見ると、フォトダイオード40側のチャネル幅よりも、ドレイン側のチャネル幅の方が広く形成されている。

【0037】図8は、第2の実施の形態の効果を簡単に説明するもので、(a)は読出しトランジスタ41'のパターンを示す平面図、(b)は同図(a) I—I線に沿った断面図、(c)はそのチャネルポテンシャルを表わす図である。

【0038】図8(a)及び(b)に於いて、フォトダイオード40がソース、第1層ポリシリコンがゲート電極53となっている。フォトダイオード40で生じた信号電荷は、トランジスタのオンと共にドレイン54に読出される。尚、55は読出しトランジスタのドレインと図示されない上層の配線とを接続するコンタクトであり、56はP型基板、57はN型不純物拡散層、58はゲート酸化膜、そして59はLOCOS領域である。

【0039】図8(c)に於いて、ゲート電極53の下方だけ、「から」方向に行くに従ってチャネル幅が広

くなっている($W_1 < W_2$)。それ故、ナローチャネル効果によりチャネルポテンシャルが低くなる(図8(c)では上方になる)。この結果、チャネルを通過する信号電荷は、ポテンシャル差によてもドレイン方向に加速を受けることになる。したがって、拡散のみで流れる従来例と比較して、読出し時間を短くすることが可能となる。

【0040】このように、第2の実施の形態によれば、読出しトランジスタのチャネル幅が、フォトダイオード側よりも増幅回路側の方が大きいので、ナローチャネル効果の結果、読出しトランジスタのゲート下のチャネルポテンシャルは増幅回路側の方が高くなる。したがって、読出しトランジスタのチャネルを通過する信号電荷はこのポテンシャル差によっても移動するので、拡散のみによって流れる場合よりも、読出し時間が短くなる。

【0041】ところで、フォトダイオードの開口率を大きくするために、信号線とドレイン線の配線を重ねて構成しても良い。すなわち、増幅型固体撮像装置に於ける画素の基本構成は、フォトダイオード、リセットトランジスタ、増幅トランジスタ、ライン選択トランジスタ、或いは容量結合、そしてフォトダイオードと増幅トランジスタゲートとを接続する配線である。

【0042】また、光電変換した信号電荷を一時蓄積する場合には、フォトダイオードとは異なる領域に蓄積ダイオードを設け、フォトダイオードと蓄積ダイオードとの間に転送ゲートを設けている。

【0043】更に、増幅トランジスタで増幅された信号を読出すための信号線と、信号電荷をリセット、排出するためのドレイン線が、それぞれ配線されている。通常、信号線とドレイン線は、それぞれ、独立に2本配線されている。

【0044】素子を微細化して、光電変換部をトランジスタや信号線、ドレイン線の上部に蓄積した構造の固体撮像素子に於いては、画素電極と蓄積部との電気的導通を得るために、信号線を形成する層とドレイン線を形成する層とを、同じ層で金属のキャップを形成しなければならない。このため、信号線、ドレイン線を形成するとき、上記金属キャップと電気的に接触しないようにするという制約がある。

【0045】このような増幅型固体撮像装置では、信号線とドレイン線の配線を独立に配線していた。しかしながら、上記配線を独立した構造では、素子の微細化を行うにあたり、信号線とドレイン線の2本の配線によりフォトダイオード部の開口率を制限してしまう。

【0046】また、光電変換部を最上部に積層した構造の撮像装置では、信号線とドレイン線を重ならないよう独立に配線するだけのスペースが無くなるという問題がある。つまり、微細な素子を形成するとき、信号線とドレイン線を重ねないで配線することが不可能になる。

【0047】このため、以下に述べる実施の形態では

信号線とドレイン線を重ねた構成によりフォトダイオードの開口率を大きくした例を説明する。図9は、この発明の第3の実施の形態を示すもので、増幅型固体撮像素子の1画素分について、増幅された信号電流を読出すための配線（信号線）と信号電荷を排出するための配線（ドレイン線）の配置構成を示した図である。また、図10は、図9の増幅型固体撮像素子の配線配置についての半面配置を示した図である。更に、図11はこの増幅型固体撮像素子の等価回路図である。

【0048】この増幅型固体撮像素子に於いて、p型シリコン半導体基板61の表面層に、p⁺層（素子分離領域）62、p⁺⁺層（フォトダイオード）63が形成される。このフォトダイオード63では、信号電荷が発生される。そして、フォトダイオード63と電気的接触のためのコンタクトホールが形成された後、フォトダイオード63と増幅トランジスタ64のゲートと電気的接触を得るように形成される。このとき、増幅トランジスタ64及び信号電荷を排出するためのリセットトランジスタ65が形成される領域にn層が形成される。

【0049】そして、ソース、ドレインが形成され、電気的接触を有するためのコンタクトホールが形成される。その後、トランジスタのゲートを形成するためにポリシリコンが堆積され、所望の形状に加工されて増幅トランジスタ64とリセットトランジスタ65が形成される。更に、信号電荷を蓄積するために、ポリシリコンとSiO₂/SiN/SiO₂（絶縁層）により、キャピシタ66が形成される。

【0050】このようにして、増幅型固体撮像素子の素子部分が形成される。次いで、増幅型固体撮像装置の素子部分が形成された後、信号電流を読出すための配線である信号線67と、信号電荷を排出するための配線であるドレイン線68とが配線される。このとき、ドレイン線68が形成されるため、例えばアルミニウム（Al）薄膜がスパッタリングにより形成される。そして、パターニング、RIE（反応性イオンエッチング）法等により、所望の形状に加工されてドレイン線68が形成される。

【0051】次に、シリコン酸化膜69が積層される。このシリコン酸化膜69は、絶縁層としてドレイン線68を保護し、また、他の部分との電気的な接触を防ぐ役割を担うものである。そして、信号線67が形成されるために、例えばAl薄膜がスパッタリング法等により堆積される。この後、先に形成されたドレイン線68に重なるようにレジストがパターニングされ、RIE法により信号線67が加工される。

【0052】これにより、図10に示されるように、信号線67がドレイン線68の上部に重なるように形成される。尚、70はアドレス線であり、71はリセット線である。

【0053】また、レジストのパターニングを行う際

信号線67の幅がドレイン線68の幅よりも小さくなるようにパターニングすることも好ましい。この理由は、信号線67を覆っているレジストをパターニングする際、合わせずれに起因して信号線67がドレイン線68の外側にはみ出し、段差を生じて、電気的な導通不良を起こすことを無くすことができるからである。

【0054】このように、図9に示されるように、信号電流を読出すための配線（信号線67）と、信号電荷を排出するための配線（ドレイン線68）の2本を重ねる構造に配設することにより、フォトダイオード63の開口率を制限する配線幅を1本分の幅とすることができます。この結果、フォトダイオード68の開口率を向上させることができるので、高感度化することができる。

【0055】尚、上述した第3の実施の形態では、配線材料としてAl（アルミニウム）を用いているが、その他、例えばタンゲステン（W）、モリブデン（Mo）、チタン（Ti）等の金属、或いは該金属を少なくとも1種類以上含む金属合金、シリザイド化合物を初めとする化合物を用いることもできる。

【0056】次に、この発明の第4の実施の形態について説明する。図12及び図13は、光電変換部を積層した構造の増幅型固体撮像素子について示したもので、図12は増幅型固体撮像素子の1画素分についての信号線とドレイン線の配置構成を示した図、図13は図12の増幅型固体撮像素子の配線配置についての半面配置を示した図である。

【0057】上述した第3の実施の形態と同様に、先ず素子部分から形成される。尚、このとき、第3の実施の形態の光電変換部となる部分でも一部電荷を蓄積することができる。

【0058】そして、信号電荷を蓄積部73に運ぶために、絶縁層74にRIE等を用いて公が形成され、タンゲステンCVD等により金属の柱（プラグ）75が形成される。この後、スパッタリング法等により、Al（アルミニウム）膜が、例えば400nm堆積されて、レジストのパターニング、RIE等によって所望の形状に形成される。これにより、ドレイン線76と金属キャップ77が同時に形成される。

【0059】この後、シリコン酸化膜74が堆積され、再度、レジストのパターニング、RIE、金属膜の堆積等が繰返されて、金属プラグ78上に信号線79及び金属キャップ80が形成される。このとき、信号線79と同層で金属キャップ80が形成されるので、信号線79と金属キャップ80が電気的に接觸しないようにしなければならない。このため、信号線79と金属キャップ80の間には、0.6μm以上の間隔を保って電気的に接觸する危険性を避けるようにする。

【0060】このため、図12からも分かるように、信号線79は、ドレイン線76の上に重ならないように配線オフセットを取るべきで、つまり、信号線79とドレイン

線 7 6 は、重ねられた構造にしなくてはならない。

【0061】信号線まで形成された後は、再度シリコン酸化膜 7 4 が堆積され、RIE による加工、金属膜の堆積加工が行われて金属プラグ 8 1 が形成される。この後、例えば、Ti 等の金属が堆積され、RIE 等による形状加工が行われて画素電極 8 2 が形成される。

【0062】最後に、光電変換層 8 3 として、例えばアモルファス Si 膜が堆積され、光電変換層 8 3 上、すなわち最上部に、例えばITO 等で構成される透明電極 8 4 が堆積される。

【0063】尚、8 5 は増幅トランジスタ、8 6 はアドレス線であり、8 7 はリセット線である。このように、第 4 の実施の形態によれば、光電変換部を信号線、ドレイン線等の配線よりも上方に配設したので、開口率を制限されることはない。

【0064】

【発明の効果】以上のようにこの発明によれば、セル内で使用するトランジスタ数を減らしてセル構成を簡単化し、光電変換部の開口率を大きく取ることのできる固体撮像装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に於ける固体撮像装置の構成を示した図である。

【図2】第1の実施の形態に於けるデバイスを駆動するときの動作を説明するタイミングチャートである。

【図3】読出しトランジスタ 2 6、増幅トランジスタ 2 3 を1断面に構成したセル部断面形状を示した図である。

【図4】図3の断面部の電位分布図で、(a) 及び (b) はそれぞれセル選択時及び非選択時について示した図である。

【図5】基本的な固体撮像装置のパターン例を示した図である。

【図6】図5に示された固体撮像装置の単位セルの回路構成図である。

【図7】この発明の第2の実施の形態に係る固体撮像装置の平面図である。

【図8】第2の実施の形態の効果を簡単に説明するもので、(a) は読出しトランジスタ 4 1' のパターンを示す平面図、(b) は同図 (a) I—I 線に沿った断面図、(c) はそのチャネルポテンシャルを表わす図である。

【図9】この発明の第3の実施の形態を示すもので、増幅型固体撮像素子の1画素分について、増幅された信号電流を読出すための配線(信号線)と信号電荷を排出するための配線(ドレイン線)の配置構成を示した図である。

る。

【図10】図9の増幅型固体撮像素子の配線配置についての半面配置を示した図である。

【図11】この増幅型固体撮像素子の等価回路図である。

【図12】光電変換部を積層した構造の増幅型固体撮像素子の1画素分についての信号線とドレイン線の配置構成を示した図である。

【図13】光電変換部を積層した構造の増幅型固体撮像素子について示したもので、図12の増幅型固体撮像素子の配線配置についての半面配置を示した図である。

【図14】従来の固体撮像装置の構成を示した図である。

【図15】従来構造の固体撮像装置を駆動するときのタイミングチャートである。

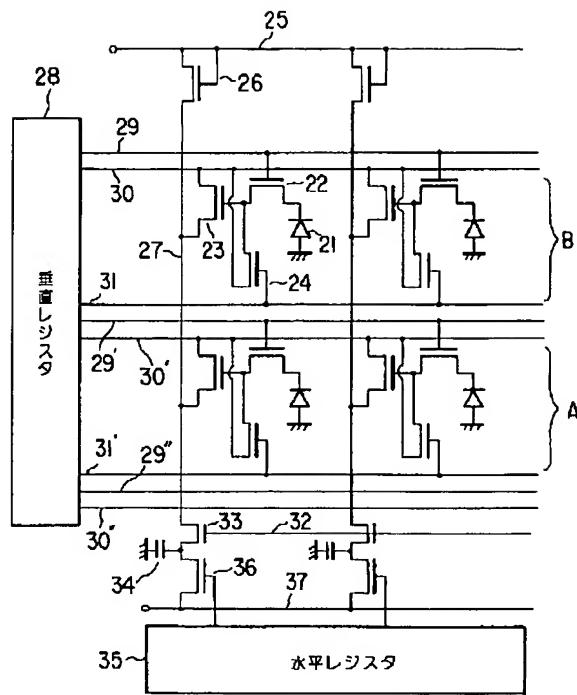
【図16】読出しトランジスタ 7、増幅トランジスタ 3、アドレストランジスタ 5 を1断面に構成したセル部断面形状を示した図である。

【図17】図16の断面部の電位分布図で、(a) 及び (b) はそれぞれセル選択時及び非選択時について示した図である。

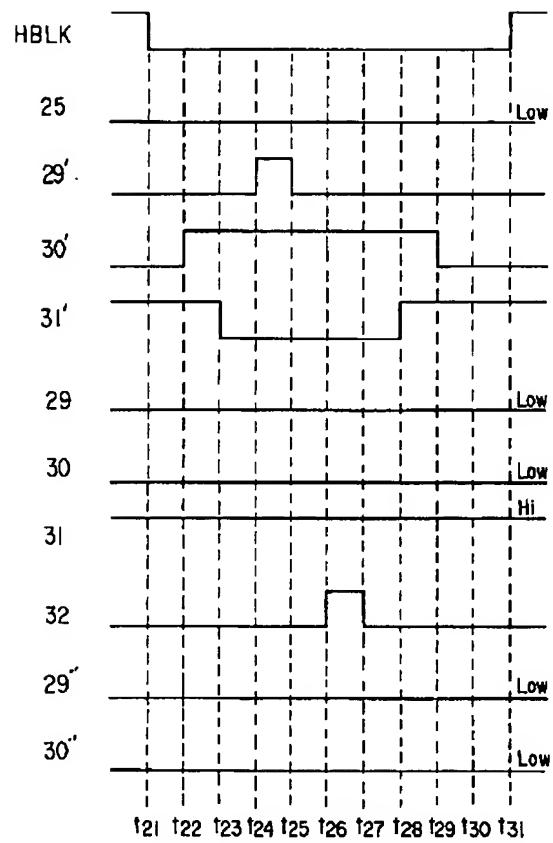
【符号の説明】

- 2 1、4 0 フォトダイオード、
- 2 2 読出しトランジスタ、
- 2 3、4 2 増幅トランジスタ、
- 2 4 リセットトランジスタ、
- 2 5 ソース線、
- 2 6、4 1、4 1' 読出しトランジスタ、
- 2 7 信号線、
- 2 8 垂直レジスタ、
- 2 9、4 7 読出し線、
- 3 0 ドレイン線、
- 3 1 リセットアドレス線、
- 3 2 サンプル／ホールド線、
- 3 3 サンプル／ホールドトランジスタ、
- 3 4 蓄積容量、
- 3 5 水平レジスタ、
- 3 6 水平トランジスタ、
- 3 7 信号出力線、
- 4 3 垂直選択トランジスタ、
- 4 4 充放電トランジスタ、
- 4 5 水平アドレス線、
- 4 6 リセット線、
- 4 8、4 9、5 1 層間コンタクト、
- 5 0 ゲート。

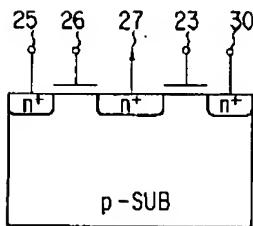
【図1】



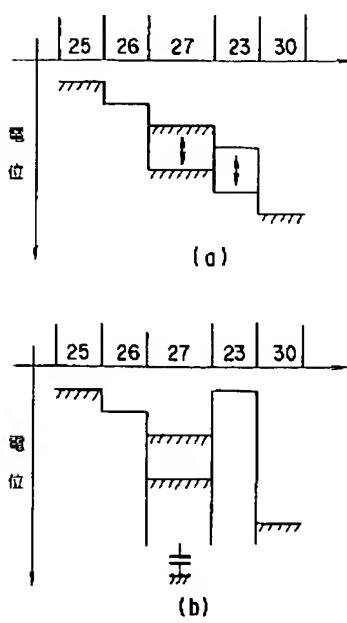
【図2】



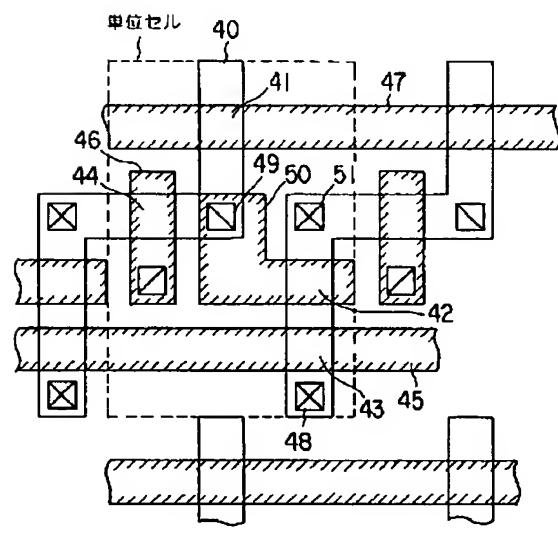
【図3】



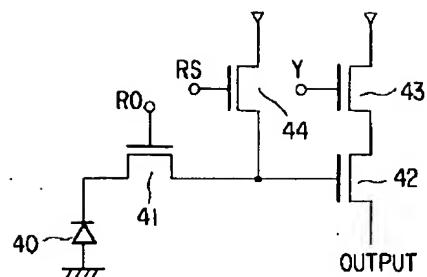
【図4】



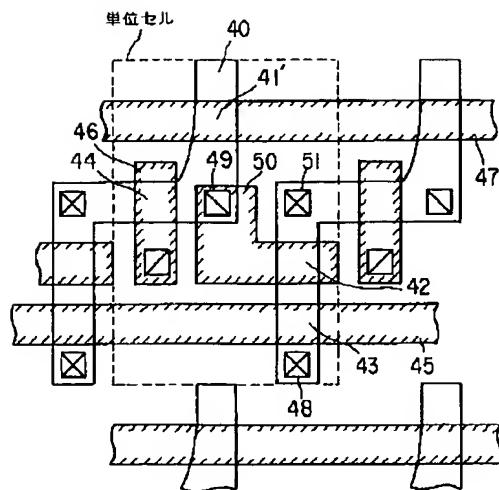
【図5】



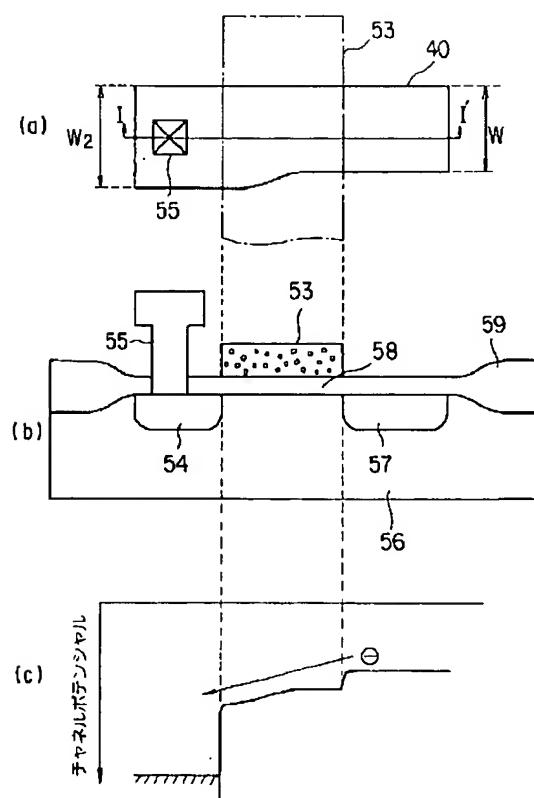
【図6】



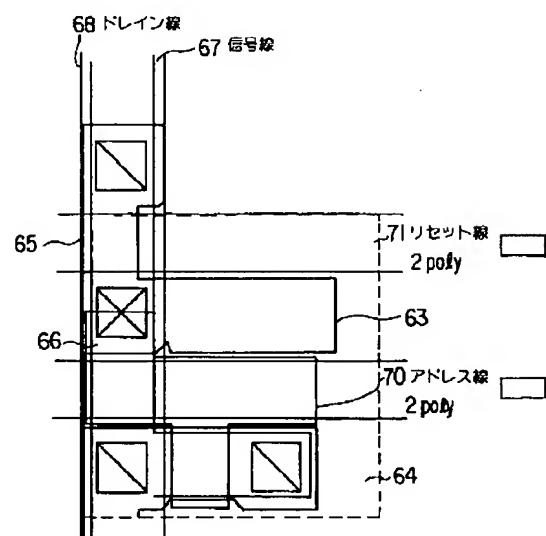
【図7】



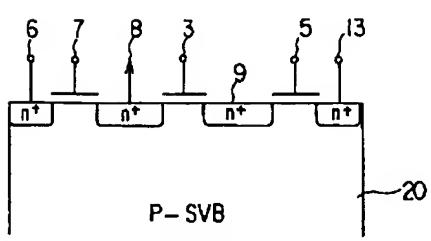
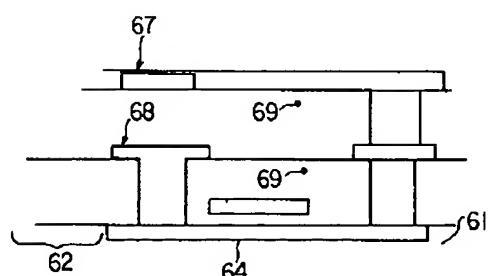
【図8】



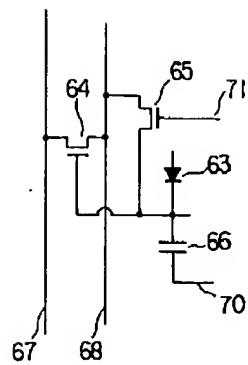
【図9】



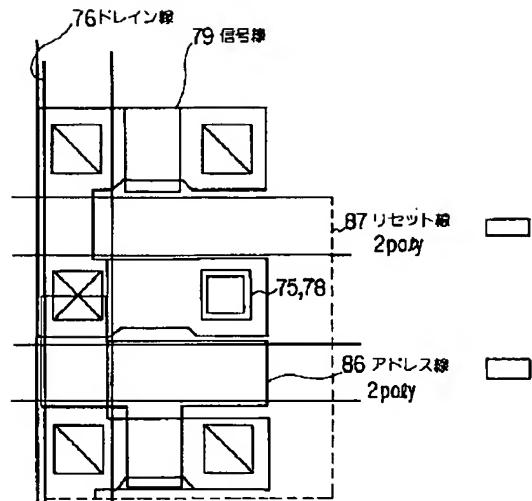
【図10】



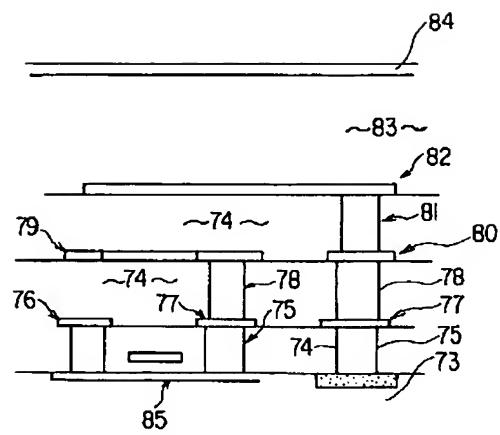
【図11】



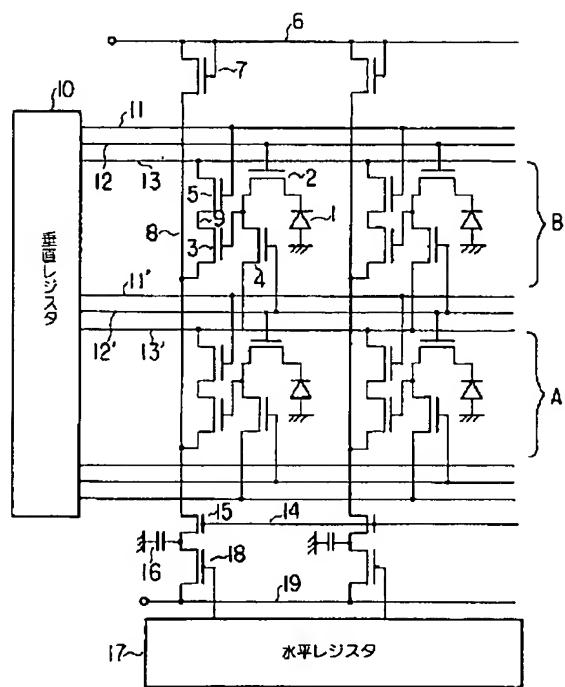
【図12】



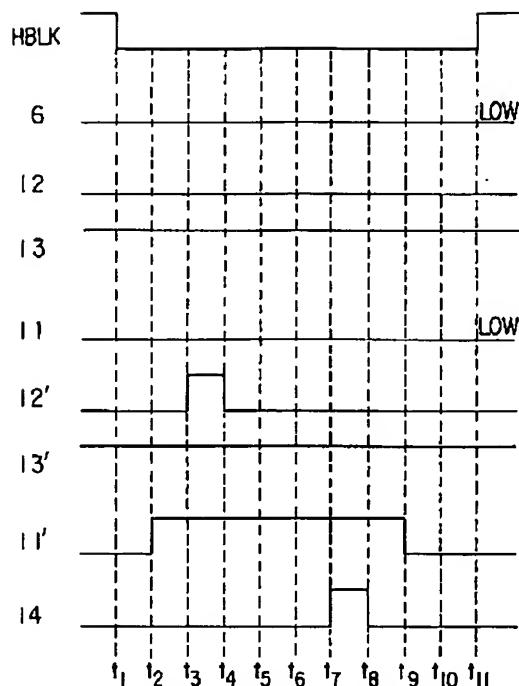
【図13】



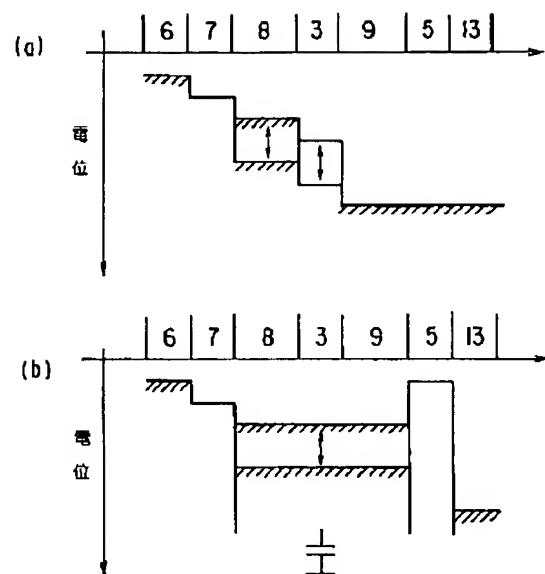
【図14】



【図15】



【図17】



フロントページの続き

(72)発明者 飯田 義典
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72)発明者 野崎 秀俊
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 馬渕 圭司
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72)発明者 大澤 慎治
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内